

(19)日本国特許庁(JP)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平6-48243

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl.⁵

H 0 3 M 9/00

識別記号

C 8522-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 実願平4-87223

(22)出願日 平成4年(1992)11月27日

(71)出願人 000191238

新日本無線株式会社

東京都目黒区下目黒1丁目8番1号

(72)考案者 小林 和男

埼玉県上福岡市福岡二丁目1番1号 新日

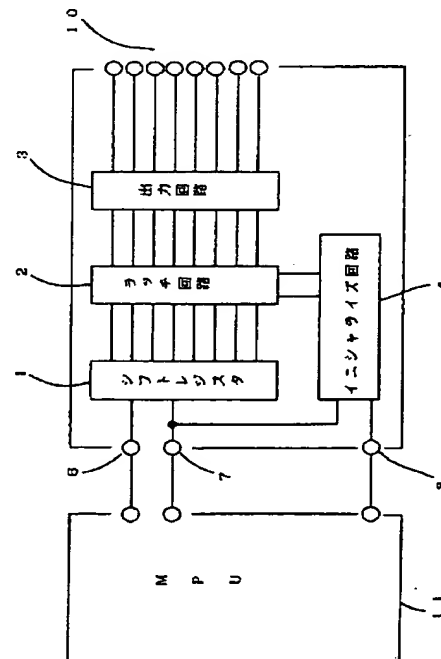
本無線株式会社川越製作所内

(54)【考案の名称】 シリアル-パラレル変換回路

(57)【要約】

【目的】マイコンからイニシャライズ信号を受けずに簡単にラッチ回路をイニシャライズすることを目的とする。

【構成】クロック信号が「H」レベルのときのラッチ信号をイニシャライズ信号に使用する構成とした。



1

2

【実用新案登録請求の範囲】

【請求項1】 マイクロコンピュータ・プロセス・ユニットから送られたシリアル信号を入力し、シフトレジスタとラッチ回路によってパラレル信号に変換して出力するシリアル-パラレル変換回路において、ラッチ信号を本来の機能と該ラッチ回路をイニシャライズする機能を兼ねさせ、両者の機能をクロック信号のレベルによって選択できるように構成したことを特徴とするシリアル-パラレル変換回路。

【図面の簡単な説明】

【図1】 本考案のシリアル-パラレル変換回路の実施例＊

＊を示す図である。

【図2】 本考案のシリアル-パラレル変換回路におけるイニシャライズ回路の具体的な一例を示す図である。

【図3】 従来のシリアル-パラレル変換回路の一例を示す図である。

【符合の説明】

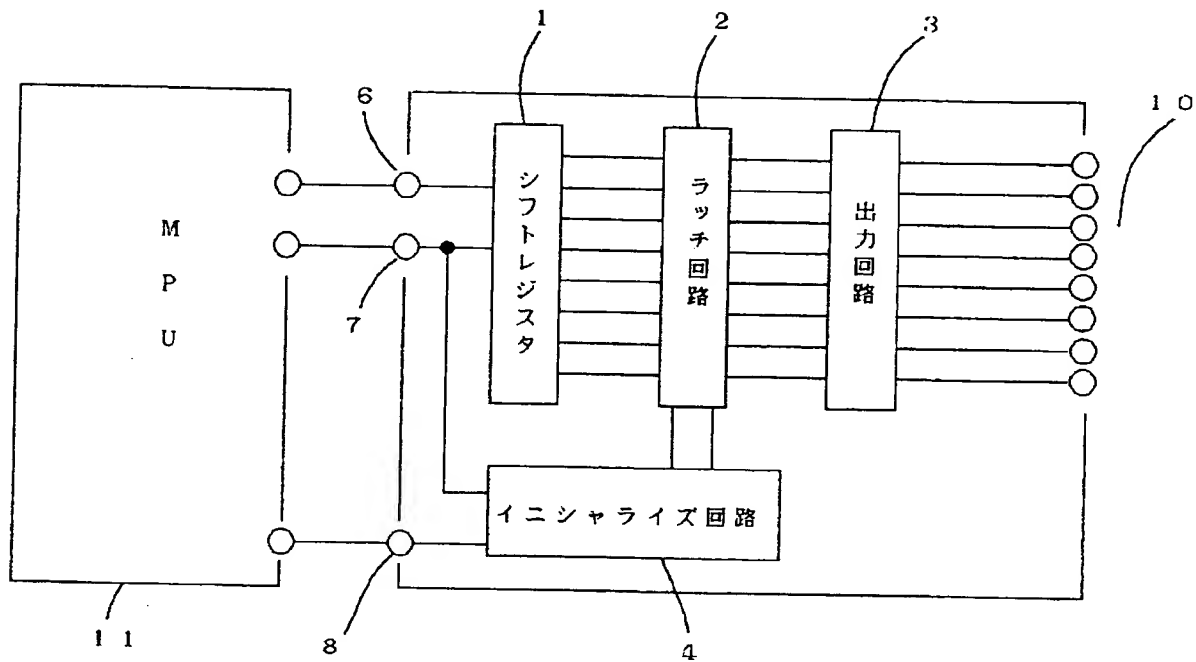
1 シフトレジスタ

2 ラッチ回路

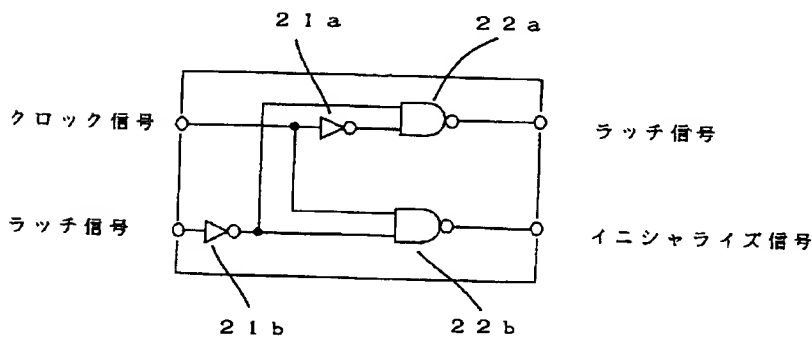
3 出力回路

10 4 イニシャライズ回路

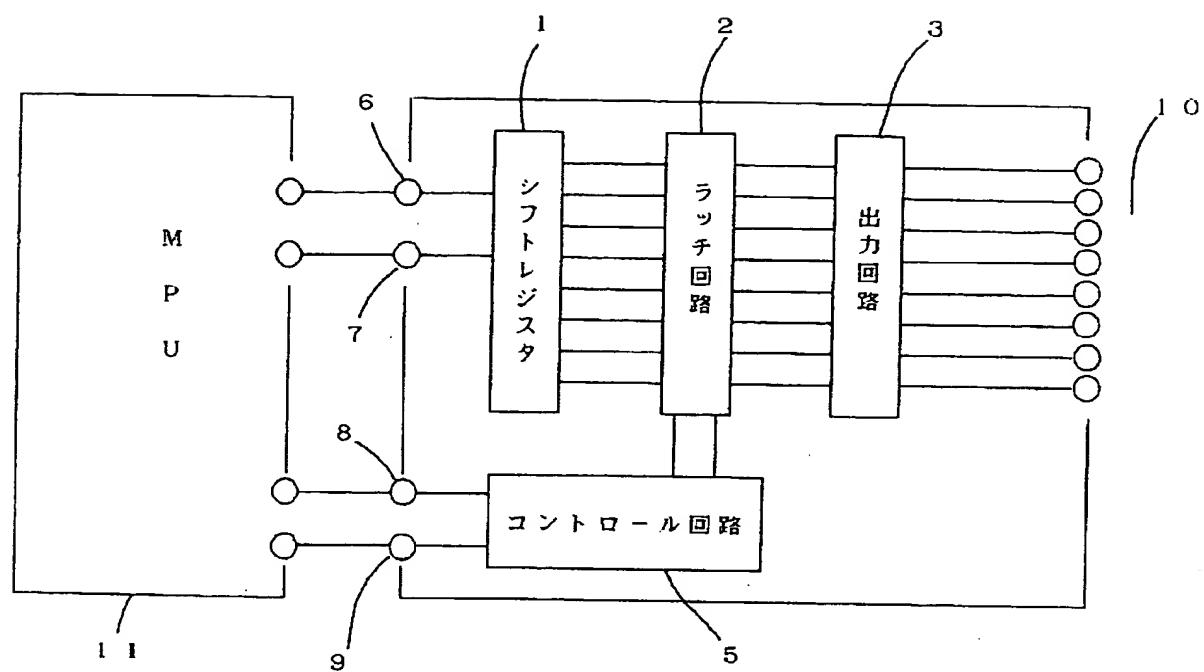
【図1】



【図2】



【図3】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、グラフィックイコライザー用電子ボリウムやアナログファンクションスイッチ等に用いられるマイクロコンピュータ・プロセスユニット（以下、「マイコン」と言う）からの信号によって駆動するシリアルーパラレル変換回路であり、特にそのラッチ回路をイニシャライズする構成に関する。

【0002】

【従来の技術】

図3は従来のシリアルーパラレル変換回路の一例を示す。図において、1はシフトレジスタ、2はラッチ回路、3は出力回路、5はコントロール回路、6はマイコンからのシリアルデータを受けるデータ入力、7はクロック入力、8はラッチ入力、9はクリア入力、10はパラレルデータを次段回路に送るデータ出力、11はマイコンである。

【0003】

上記のようなシリアルーパラレル変換回路では、ラッチ回路2をイニシャライズするにはマイコン11からのイニシャライズ信号をクリア入力9に直接入力して、イニシャライズを行ない、ラッチ回路2を初期値にセットしていた。

【0004】

【考案が解決しようとする課題】

ところが、このようなシリアルーパラレル変換回路は1個の半導体チップに形成され、樹脂封止されて半導体装置となっている。この半導体装置とマイコン11を接続するには、プリント基板に配置して配線パターンによって結線されることになる。このため、マイコン11にイニシャライズ信号を出力するための出力端子をまた、シリアルーパラレル変換回路の半導体装置にはイニシャライズ信号を入力するための入力端子であるクリア入力10が必要であった。このように半導体装置に外部回路との接続するための端子を設けるには、大きなチップ面積を使用しなければならなかった。

【0005】

また端子数を減らす手段として、クリア信号に相当する疑似データをデータ入力6に入力してイニシャライズする方法もある。しかしこの疑似データを入力するにはシリアル信号のデータであるため、例えば8ビット分のシリアルデータをデータ入力6に入力するにはそのビット分だけ送信する時間を必要とし、処理ビット数が多いシリアルーパラレル変換回路には適さない方法であった。

【0006】

本考案は、上記の問題を解決するためになされたもので、マイコンからのイニシャライズ信号を受けずに、簡単にイニシャライズを行なえるシリアルーパラレル変換回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

本考案は、上記目的を達成するため、マイコンからのラッチ信号をクロック信号のレベルによってラッチ信号とイニシャライズ信号の両方に用いる構成とした。

【0008】

【実施例】

図1は本考案のシリアルーパラレル変換回路の実施例を示す。図において図3と同一符号は同一または相当するものを示し、4はイニシャライズ回路である。シリアルーパラレル変換回路は、マイコンからのシリアルデータをデータ入力6より入力し、シフトレジスタ1にセットした後、クロック信号をラッチ入力8に入力し、ラッチ回路2にデータを送るようになっている。したがって、ラッチ信号が入力される時はクロック信号が「L」レベルとなる。通常動作ではクロック信号の「H」レベルを使用していないので、このクロック信号を用いてリセットを行なうようにしたものである。つまり、クロック信号を「H」レベルとして、ラッチ信号が入力された時、これをイニシャライズ信号として用いることができる。

【0009】

図2は本考案のイニシャライズ回路の具体例を示す。図において21a、21bはインバータ、22a、22bはナンドゲートである。このような簡単な回路

構成により、クロック信号が「L」レベルのときは、ラッチ信号が通常のラッチ信号として動作し、クロック信号が「H」レベルのとき、ラッチ信号をイニシャライズ信号として用いることができる。

したがって、マイコンとシリアルーパラレル変換回路にはイニシャライズ信号用の端子が不要となり、また、ラッチ回路を初期値にセットすることが瞬時に行なえるようになる。

【0010】

【考案の効果】

以上説明したように、マイコンからのクロック信号のレベルと、ラッチ信号によってイニシャライズ信号を発生させることができるので、マイコンのプログラム動作も簡単となり、シリアルーパラレル変換回路も簡単な構成とすることができ、チップ面積が小さくなり、より集積度を増すことが容易にできる。また、初期値を瞬時にセットすることができるので、ビット数が増えても有効に行なえるという利点がある。